



芯驿电子科技（上海）有限公司

技术支持: support@alinx.com

电话: 021-67676997

IP 相关信息	
相关文档	NVMe AIX IP Core 产品简介
IP 提供形式	加密网表
设计语言	Verilog
开发工具	Vivado 2020.1
支持系列器件	AMD UltraScale AMD UltraScale+ AMD Zynq UltraScale+

产品特性

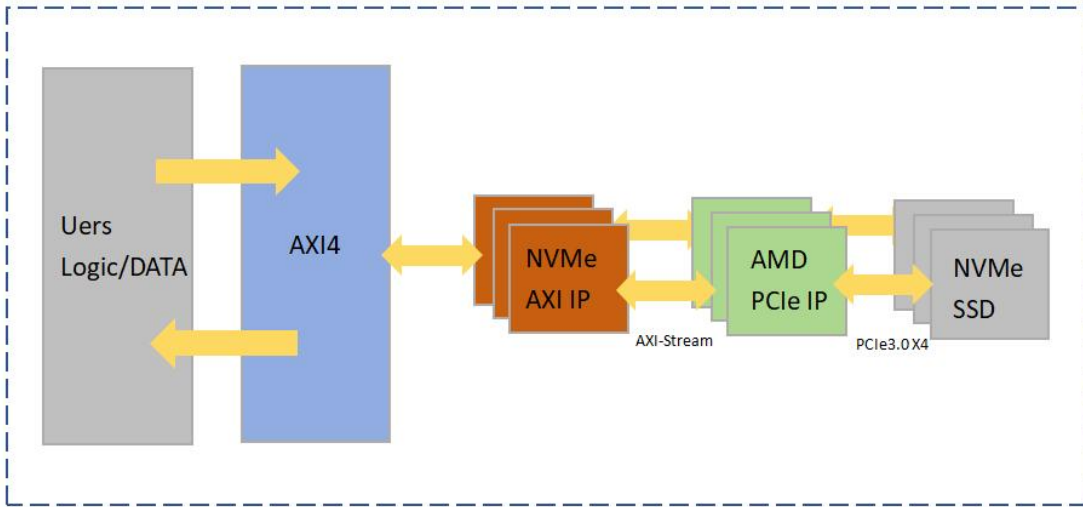
- 实现不依靠 CPU 通过 PCIe 访问外部内存 NVMe SSD
- 支持命令： Identify, Write, Read, and Flush
- 支持 PCIe Gen 1.0, 2.0, 3.0, 4.0
- 兼容 NVMe Express 1.4 协议
- 自动初始化 NVMe 和 PCIe 链路硬件模块
- 自动的提交和完成命令
- 支持最大每个队列 65535 个 I/O 命令
- 基于 PCIe3.0 X4 读写速率均可达到 3000MB/s
- MPSMIN (最小内存页传输大小): 4Kbyte
- MDTS (最大数据传输大小) : 至少 128Kbyte 或者没有限制
- LBA 单元: 512 字节或者 4096 字节
- NVMe IP 支持两个版本, 包括 AXI FULL 版本和 AXI Stream 版本
- 实现的参考设计: XCZU19EG + FMC 子板(FH1402)+SAMSUNG 980 M.2 SSD
- 提供完备的技术支持与定制化设计服务

IP 资源消耗表

器件系列	芯片型号	频率 (MHz)	CLB Regs	CLB LUTs	CLB	BRAM Tile	Design Tools
Zynq-Ultrascale+	XCZU19EG-FFVC1760-2-i	250	8286	8459	1741	5	Vivado2020.1

注: IP 实际逻辑资源消耗受实例化中其他逻辑资源消耗

NVMe AXI IP 应用交互

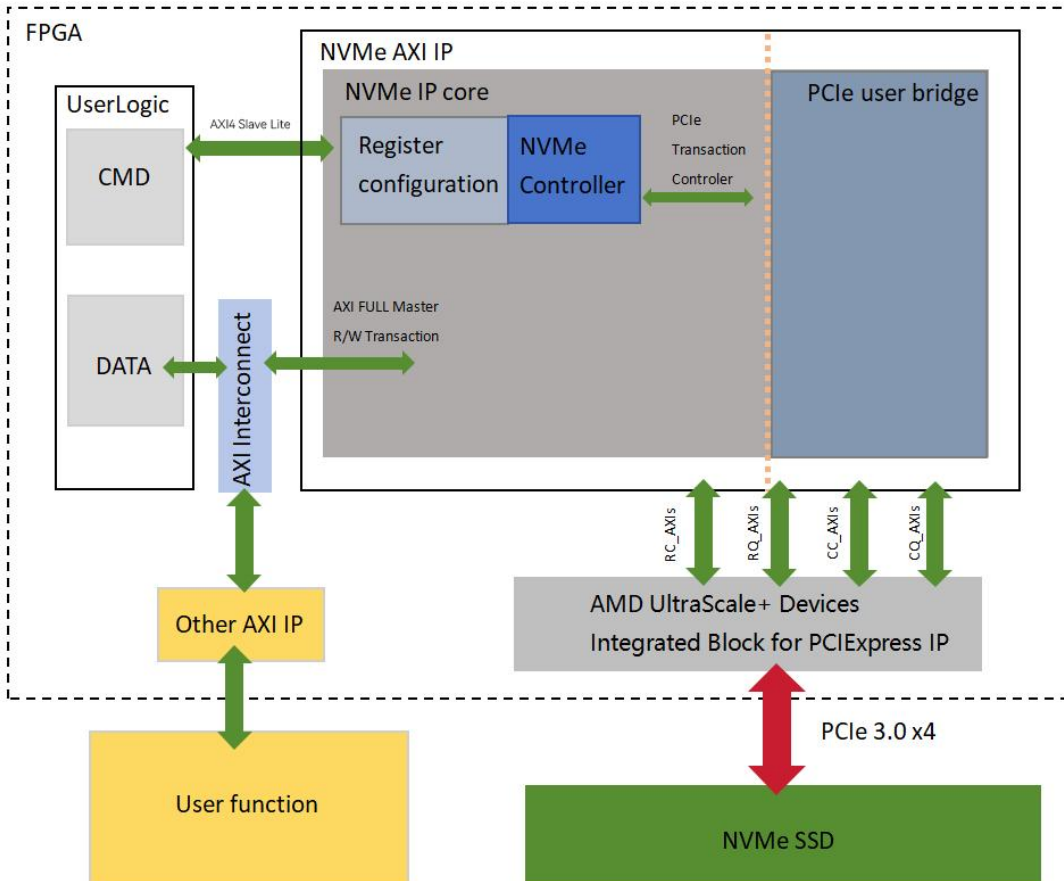


NVMe AXI IP 通过 AXI 标准接口进行交互并且在内部实现了 PCIe Bridge，通过 RC/RQ/CC/CQ AXI Stream 接口与 AMD 的 UltraScale+ Devices Integrated Block for PCIeExpress IP 进行交互，实现不依靠 CPU 对外部存储器 NVMe SSD 进行读写。

有关 UltraScale+ Devices Integrated Block for PCIeExpress IP 的详细信息参照“ PG213 “文档 [PG213](#)”

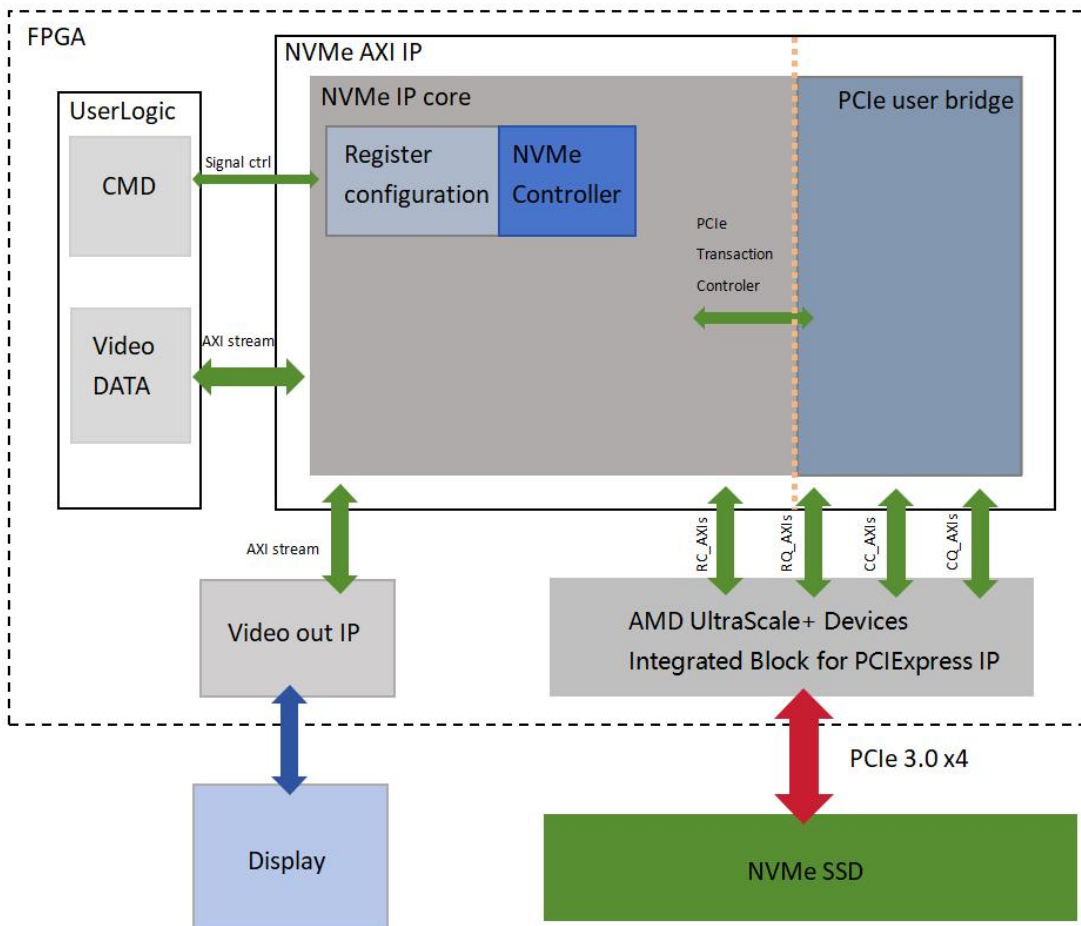
Example 举例

NVMe AXI FULL IP 版本



AXI 读写：时钟信号有效并且复位信号拉低，NVMe AXI IP 开始进行自动初始化，初始化完成链路打通后，用户的数据流通过 AXI Interconnect IP 写入到 NVMe AXI IP 的 AXI Master FULL 接口中进行 NVMe 协议的队列管理门铃逻辑交互，并组成 TLP 层 PCIe 包通过 RC/RQ/CC/CQ AXI Stream 接口与 AMD 的 UltraScale+ Devices Integrated Block for PCIeExpress IP 进行连接并输出数据到 NVMe SSD 进行存储。NVMe AXI IP 通过 RC/RQ/CC/CQ AXI Stream 接口从 NVMe SSD 中读出数据并通过 AXI Master FULL 接口连接 AXI Interconnect IP 输出给任意 AXI 标准总线的 IP 进行用户逻辑实现。

NVMe AXI Stream IP 版本



AXI Stream 读写：时钟信号有效并且复位信号拉低，NVMe AXI IP 开始进行自动初始化，初始化完成链路打通后，用户的数据流通过 AXI Stream 接口写入到 NVMe AXI IP 中进行 NVMe 协议的队列管理门铃逻辑交互，并组成 TLP 层 PCIe 包通过 RC/RQ/CC/CQ AXI Stream 接口与 AMD 的 UltraScale+ Devices Integrated Block for PCIeExpress IP 进行连接并输出数据到 NVMe SSD 进行存储。NVMe AXI IP 通过 RC/RQ/CC/CQ AXI Stream 接口从 NVMe SSD 中读出数据，通过 AXI Stream 接口输出给 video out IP 连接视频接口进行输出显示。